

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-260857

(43)Date of publication of application : 13.10.1995

(51)Int.Cl.

G01R 31/00
G01R 31/3185
G01R 31/28
G02F 1/133
G09G 3/36

(21)Application number : 06-048416

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1994

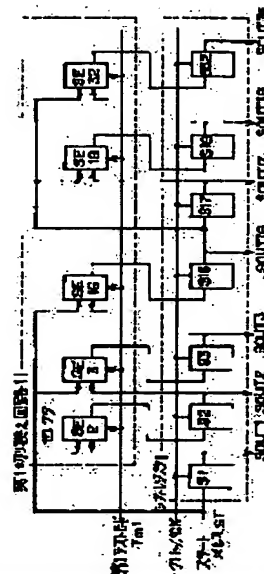
(72)Inventor : MIWA YUICHI

(54) LIQUID CRYSTAL DISPLAY AND DRIVE CIRCUIT THEREFOR

(57)Abstract:

PURPOSE: To shorten the test time by delivering an output from a register, through a first switching circuit under first test mode, in the stage preceding the head stage of a group divided for every (n) stages including a relevant stage.

CONSTITUTION: Output from a shift register in the preceding stage is fed normally, through a first switching circuit 11, as an input to each stage of a shift register 1 based on a first test mode signal Tm1. Under a first test mode, output from a shift register in the stage preceding the head stage of a group divided for every n (an arbitrary positive integer) stages and including the relevant stage is fed to each stage of the register 1. Since the number of stages of the shift register 1 is reduced effectively by a factor of n, the time required for sampling is reduced by a factor of n as compared with normal operation resulting in the shortening of time required for shipment test of IC.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

***NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.** shows the word which can not be translated.**

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the drive circuit of a liquid crystal display equipped with the shift register (1) which generates the sampling signal of input data (DATA), and is based on the 1st static test mode signal (Tm1). As an input of each stage of said shift register (1) The drive circuit of the liquid crystal display characterized by having the 1st switch circuit (11) which supplies any of the shift register output of the preceding paragraph of the head stage of a division group where this stage when dividing into every shift register output of the preceding paragraph of this stage or n step (n being the positive integer of arbitration) is included they are.

[Claim 2] The shift register which generates the sampling signal of input data (DATA) (1), It is the drive circuit of a liquid crystal display equipped with the data register (2) holding a sampling input. It is based on the 2nd static test mode signal (Tm2). Said shift register (1) output, Or the drive circuit of the liquid crystal display characterized by having the 2nd switch circuit (12) which supplies any of the start pulse (ST) which starts actuation of said shift register (1) they are to said data register (2) as said sampling signal.

[Claim 3] The shift register which generates the sampling signal of input data (DATA) (1), It is the drive circuit of the data register (2) holding a sampling input, and a liquid crystal display equipped with the latch circuit (3) which latches said data register (2) output. The drive circuit of the liquid crystal display characterized by having the 4th switch circuit (14) which supplies any of a data register (2) output or input data (DATA) they are as said latch circuit (3) input based on the 3rd static test mode signal (Tm3).

[Claim 4] The shift register which generates the sampling signal of input data (DATA) (1), The decoder which generates the signal which is the drive circuit of a liquid crystal display equipped with the data register (2) holding a sampling input, and specifies said some of data registers (2) (21), The drive circuit of the liquid crystal display characterized by having the 3rd switch circuit (13) which supplies any of said shift register (1) output or a decoder (21) output they are to said data register (2) as said sampling signal based on the 4th static test mode signal (Tm4).

[Claim 5] The shift register which generates the sampling signal of input data (DATA) (1), It is the drive circuit of the data register (2) holding a sampling input, and a liquid crystal display equipped with the latch circuit (3) which latches said data register (2) output. The drive circuit of the liquid crystal display characterized by having the 5th switch circuit (13) which supplies any of a latch pulse (LP) common to all channels, or the latch pulse for every channel they are to said latch circuit (3) based on the 5th static test mode signal (Tm5).

[Claim 6] The shift register which generates the sampling signal of input data (DATA) (1), The data register (2) holding a sampling input, and the latch circuit which latches said data register (2) output (3), The selector which generates a selection signal based on said latch circuit (3) output (4), It is the drive circuit of a liquid crystal display equipped with the output section (5) which determines output voltage level based on said selection signal. The shift register for a test which carries out a shift action by the start pulse (ST) which starts actuation of said shift register (1) (22), It is based on the 6th static test mode signal (Tm6). Said latch circuit (3) output, Or the drive circuit of the liquid crystal display characterized by having the 6th switch circuit (16) which supplies any of the AND of said latch circuit

(3) output and said shift register (22) output for a test they are to said selector (4).

[Claim 7] The shift register which generates the sampling signal of input data (DATA) (1), The data register (2) holding a sampling input, and the latch circuit which latches said data register (2) output (3), The selector which generates a selection signal based on said latch circuit (3) output (4), It is the drive circuit of a liquid crystal display equipped with the output section (5) which determines output voltage level based on said selection signal. The shift register for a test which carries out a shift action by the start pulse (ST) which starts actuation of said shift register (1) (22), It is based on the 7th static test mode signal (Tm7). Said selector (4) output, Or the drive circuit of the liquid crystal display characterized by having the 7th switch circuit (17) which supplies any of the AND of said selector (4) output and said shift register (22) output for a test they are to said output section (5).

[Claim 8] The shift register which generates the sampling signal of input data (DATA) (1), The data register (2) holding a sampling input, and the latch circuit which latches said data register (2) output (3), The selector which generates a selection signal based on said latch circuit (3) output (4), It is the drive circuit of a liquid crystal display equipped with the output section (5) which determines output voltage level based on said selection signal. The drive circuit of the liquid crystal display characterized by having an output short circuit (18) equipped with the switching element controlled by the 8th static test mode signal (Tm8) between each channel of said output section (5) output.

[Claim 9] The drive circuit of said liquid crystal display is a drive circuit of a liquid crystal display given in claims 1, 2, 3, 4, 5, 6, 7, or 8 characterized by having the static test mode decoder (24) which generates said 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, or 8th static test mode signal (Tm1-Tm8) based on a static test mode signal (TM).

[Claim 10] It is the liquid crystal display which equips a liquid crystal display panel (100) and this liquid crystal display panel (100) with the drive circuit which supplies driver voltage, and is characterized by said drive circuit including said drive circuit according to claim 1 to 9.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] A liquid crystal display and its drive circuit are started, especially, about the data driver IC, this invention can shorten test time, such as IC shipment trial, and IC trial by the drive power source of low current capacity is possible for it, and it relates to the drive circuit of the liquid crystal display which can check each output channel after liquid crystal panel mounting of TCP (tape carried package).

[0002]

[Description of the Prior Art] It has a shift register 1, the data input section 6, a data register 2, a latch circuit 3, a selector 4, and the output section 5, and the configuration of a digital data driver consists of

drive circuits of the conventional liquid crystal display, as generally shown in drawing 11 (a).

[0003] As actuation of this digital data driver is shown in the timing chart of drawing 11 (b), first, the output of each stage of a shift register 1 turns into an input of the next step, a sequential-control signal is supplied to a data register 2, and input data DATA is incorporated in a data register 2 through the data input section 6. The output of a data register 2 is latched to a latch circuit 3 by the latch pulse LP. In a selector 4, select data is generated based on latch circuit 3 output, the analog switch of the output section 5 is controlled by this select data, voltage levels V1-V8 are determined about each data line Q1-Q192, and the liquid crystal display panel 100 is driven.

[0004] When such a digital data driver is IC-ized, the number of data input terminals of this IC is number-of-bits x3 (R, G, B) equivalent to the number of gradation.

[0005]

[Problem(s) to be Solved by the Invention] therefore, in the drive circuit of the conventional liquid crystal display, there were many output channels of a digital data driver as 192 channels drawing 11 , and since data input Data was series data for every channel, by the time it carried out the sampling input of the data at the data register 2 of a predetermined channel, it needed to carry out the sequential shift of the start pulse ST with the shift register 1, needed to create the sampling pulse for each channels, and had the problem that the trial of IC shipment trial etc. took time amount.

[0006] This invention solves the above-mentioned trouble and aims at offering the drive circuit of the liquid crystal display which can shorten test time, such as IC shipment trial. Moreover, other purposes of this invention are offering the drive circuit of the liquid crystal display which can perform IC trial by the drive power source of low current capacity.

[0007] Furthermore, the purpose of this invention is offering the drive circuit of the liquid crystal display which can check each output channel after liquid crystal panel mounting of TCP.

[0008]

[Means for Solving the Problem] In order to solve the above-mentioned technical problem, the drive circuit of the liquid crystal display of the 1st description of this invention As shown in drawing 1 , it is the drive circuit of a liquid crystal display equipped with the shift register 1 which generates the sampling signal of input data DATA, and is based on the 1st static test mode signal Tm1. As an input of each stage of said shift register 1 The 1st switch circuit 11 which supplies any of the shift register output of the preceding paragraph of the head stage of a division group where this stage when dividing into every shift register output of the preceding paragraph of this stage or n step (n being the positive integer of arbitration) is included they are is had and constituted.

[0009] Moreover, the drive circuit of the liquid crystal display of the 2nd description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , It is the drive circuit of a liquid crystal display equipped with the data register 2 holding a sampling input. Based on the 2nd static test mode signal Tm2, the 2nd switch circuit 12 which supplies any of the start pulse ST which starts said shift register 1 output or actuation of said shift register 1 they are to said data register 2 as said sampling signal is had and constituted.

[0010] Moreover, the drive circuit of the liquid crystal display of the 3rd description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , It is the drive circuit of a liquid crystal display equipped with the data register 2 holding a sampling input, and the latch circuit 3 which latches said data register 2 output, and is based on the 3rd static test mode signal Tm3. As said latch circuit 3 input The 4th switch circuit 14 which supplies any of data register 2 output or input data DATA they are is had and constituted.

[0011] Moreover, the drive circuit of the liquid crystal display of the 4th description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , The decoder 21 which generates the signal which is the drive circuit of a liquid crystal display equipped with the data register 2 holding a sampling input, and specifies said some of data registers 2, Based on the 4th static test mode signal Tm4, the 3rd switch circuit 13 which supplies any of said shift register 1

output or decoder 21 output they are to said data register 2 as said sampling signal is had and constituted.

[0012] Moreover, the drive circuit of the liquid crystal display of the 5th description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , It is the drive circuit of a liquid crystal display equipped with the data register 2 holding a sampling input, and the latch circuit 3 which latches said data register 2 output. Based on the 5th static test mode signal Tm5, the 5th switch circuit 13 which supplies any of the latch pulse LP common to all channels or the latch pulse for every channel they are to said latch circuit 3 is had and constituted.

[0013] Moreover, the drive circuit of the liquid crystal display of the 6th description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , The data register 2 holding a sampling input, and the latch circuit 3 which latches said data register 2 output, It is the drive circuit of a liquid crystal display equipped with the selector 4 which generates a selection signal based on said latch circuit 3 output, and the output section 5 which determines output voltage level based on said selection signal. The shift register 22 for a test which carries out a shift action by the start pulse ST which starts actuation of said shift register 1, Based on the 6th static test mode signal Tm6, the 6th switch circuit 16 which supplies any of said latch circuit 3 output or said shift register 22 output for a test they are to said selector 4 is had and constituted.

[0014] Moreover, the drive circuit of the liquid crystal display of the 7th description of this invention The shift register 1 which generates the sampling signal of input data DATA, The data register 2 holding a sampling input, and the latch circuit 3 which latches said data register 2 output, It is the drive circuit of a liquid crystal display equipped with the selector 4 which generates a selection signal based on said latch circuit 3 output, and the output section 5 which determines output voltage level based on said selection signal. The shift register 22 for a test which carries out a shift action by the start pulse ST which starts actuation of said shift register 1, Based on the 7th static test mode signal Tm7, the 7th switch circuit 17 which supplies any of said selector 4 output or said shift register 22 output for a test they are to said output section 5 is had and constituted.

[0015] Moreover, the drive circuit of the liquid crystal display of the 8th description of this invention The shift register 1 which generates the sampling signal of input data DATA as shown in drawing 1 , The data register 2 holding a sampling input, and the latch circuit 3 which latches said data register 2 output, It is the drive circuit of a liquid crystal display equipped with the selector 4 which generates a selection signal based on said latch circuit 3 output, and the output section 5 which determines output voltage level based on said selection signal. The output short circuit 18 equipped with the switching element controlled by the 8th static test mode signal Tm8 between each channel of said output section 5 output is had and constituted.

[0016] Furthermore, the drive circuit of the liquid crystal display of the 9th description of this invention In the drive circuit of a liquid crystal display given in claims 1, 2, 3, 4, 5, 6, 7, or 8 the drive circuit of said liquid crystal display The static test mode decoder 24 which generates said 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, or 8th static test mode signals Tm1-Tm8 based on the static test mode signal TM is had and constituted.

[0017] Moreover, invention of a liquid crystal display according to claim 10 has each claim 1 thru/or one drive circuit of 9, is equipped with the liquid crystal display panel 100 driven by the drive circuit, and is constituted.

[0018]

[Function] In the drive circuit of the liquid crystal display of the 1st description of this invention As shown in drawing 1 , it is based on the 1st static test mode signal Tm1 by the 1st switch circuit 11. At the time of normal operation The shift register output of the preceding paragraph of this stage is supplied as an input of each stage of a shift register 1. Under the 1st static test mode He is trying to supply the shift register output of the preceding paragraph of the head stage of a division group where this stage when dividing into every n step (n being the positive integer of arbitration) is included as an

input of each stage of a shift register 1.

[0019] Thereby, at the time of the 1st static test mode, since a shift register 1 is effectually shortened to 1/n step of shift register, the time amount which a data sampling takes is set to 1/n at the time of normal operation, and test time, such as IC shipment trial, can be shortened.

[0020] Moreover, he is trying to supply the start pulse ST which starts actuation of a shift register 1 for shift register 1 output under the 2nd static test mode again to a data register 2 as a sampling signal by the 2nd switch circuit 12 in the drive circuit of the liquid crystal display of the 2nd description of this invention based on the 2nd static test mode signal Tm2 at the time of normal operation, as shown in drawing 1.

[0021] Thereby, at the time of the 2nd static test mode, the data input to the data register of an arbitration channel can be inputted into the data register of all channels at once by the start pulse ST, the time amount compaction for a shift action in a shift register 1 is attained, and test time, such as IC shipment trial, can be shortened.

[0022] Moreover, he is trying to supply the data input section 6 for data register 2 output under the 3rd static test mode as latch circuit 3 input by the 4th switch circuit 14 again based on the 3rd static test mode signal Tm3 at the time of normal operation, as the drive circuit of the liquid crystal display of the 3rd description of this invention shows to drawing 1.

[0023] Also in a test which repeats and inputs data or changes a data input frequently by this, the SHLD of the same input data can be carried out at the latch circuit 3 of all channels, a data sampling time is shortened, and compaction of the test time of the circuit block after a latch circuit 3 is attained.

[0024] Moreover, he generates the signal which specifies some data registers 2 from a decoder 21, and is trying to supply decoder 21 output for shift register 1 output to a data register 2 as a sampling signal under the 4th static test mode by the 3rd switch circuit 13 again based on the 4th static test mode signal Tm4 at the time of normal operation, as the drive circuit of the liquid crystal display of the 4th description of this invention shows to drawing 1.

[0025] Thus, since a channel can be chosen as arbitration and the time amount for a shift action in a shift register 1 can be shortened, since some data registers 2 can be specified with the address etc., and it can test, while being able to shorten test time, such as IC shipment trial, various tests, such as a random sampling test, are attained.

[0026] Moreover, he is trying to supply the latch pulse for every channel for the latch pulse LP common to all channels to a latch circuit 3 under the 5th static test mode by the 5th switch circuit 13 again based on the 5th static test mode signal Tm5 at the time of normal operation, as the drive circuit of the liquid crystal display of the 5th description of this invention shows to drawing 1.

[0027] Thus, by the 5th switch circuit 13, under the 5th static test mode, when only the latch circuit of a channel to which the latch pulse was supplied can be confirmed and it examines using IC circuit tester etc., it can respond also to the drive power source of the low current capacity from the outside.

[0028] Moreover, in the shift register 22 for a test, he carries out a shift action by the start pulse ST, and is trying to supply the AND of latch circuit 3 output and shift register 22 output for a test for latch circuit 3 output to a selector 4 under the 6th static test mode by the 6th switch circuit 16 again based on the 6th static test mode signal Tm6 at the time of normal operation, as the drive circuit of the liquid crystal display of the 6th description of this invention shows to drawing 1.

[0029] When only the selector of the channel which should be tested becomes effective and examines by this using IC circuit tester etc. at the time of the 6th static test mode, it can respond also to the drive power source of the low current capacity from the outside.

[0030] Moreover, in the drive circuit of the liquid crystal display of the 7th description of this invention, he carries out a shift action by the start pulse ST in the shift register 22 for a test, and is trying to supply the AND of selector 4 output and shift register 22 output for a test for selector 4 output to the output section 5 under the 7th static test mode by the 7th switch circuit 17 again based on the 7th static test mode signal Tm7 at the time of normal operation.

[0031] When only the output section of the channel which should be tested becomes effective and examines by this using IC circuit tester etc. at the time of the 7th static test mode, it can respond also to the drive power source of the low current capacity from the outside.

[0032] Moreover, in the drive circuit of the liquid crystal display of the 8th description of this invention, as shown in drawing 1 , by the output short circuit 18, under the 8th static test mode, the switching element provided between each channel of output section 5 output can be made to be able to turn on, all the channels in the output section 5 can be short-circuited across boundaries, and the analysis of operation after mounting to the liquid crystal display panel of TCP becomes easy.

[0033] For example, since the direct assignment of the static test mode inputted in a format of the data with the address which become possible [carrying out sequential observation of the static test mode which carries out the sequential output of each one channel of every for the 8th static test mode, then the output wave of each channel with the monitor pad MP on TCP], and are equivalent to a channel in the 8th static test mode, then the channel can be carried out, observing without time delay is also possible.

[0034] Furthermore, he is trying for the static test mode decoder 24 to generate the 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, or 8th static test mode signals Tm1-Tm8 in the drive circuit of the liquid crystal display of the 9th description of this invention based on the static test mode signal TM. Therefore, the test of various combination is attained by assignment of the static test mode signal TM.

[0035] According to invention according to claim 10, the embodiment of the liquid crystal display which the liquid crystal display panel 100 drives by each above-mentioned claim 1 thru/or the drive circuit given in 9 is attained.

[0036]

[Example] Next, the example concerning this invention is explained based on a drawing. Drawing 1 is the block diagram of the drive circuit of the liquid crystal display concerning each example of this invention explained below, and is a partial block diagram about a digital data driver. ** which gives the same sign to the part which overlaps drawing 11 (conventional example) in this drawing.

[0037] In drawing 1 , the digital data driver is equipped with a shift register 1, the data input section 6, a data register 2, a latch circuit 3, a selector 4, and the output section 5 like the conventional example. Actuation of these components at the time of normal operation (it is not a static test mode) is the same as usual.

[0038] In addition to the above configuration, by this invention, it has the composition that the 1st switch circuit 11, the 2nd switch circuit 12, the 3rd switch circuit 13, the 4th switch circuit 14, the 5th switch circuit 15, the 6th switch circuit 16, the 7th switch circuit 17, the output short circuit 18, the address decoder 21 for a test, the shift register 22 for a test, and the static test mode decoder 24 were added.

[0039] Hereafter, the function and actuation of each component which were added are explained to a detail in each example.

1st example drawing 2 is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 1st example of this invention, drawing 2 (a) is a circuitry Fig. and drawing 2 (b) is a timing chart.

[0040] The drive circuit of the liquid crystal display of this example is the configuration equipped with the 1st switch circuit 11 which supplies any of the shift register output of the preceding paragraph of the head stage of a division group where this stage when dividing into every shift register output of the preceding paragraph of this stage or n step (n being the positive integer of arbitration) is included as an input of each stage of a shift register 1 based on the 1st static test mode signal Tm1 they are, as shown in drawing 2 R> 2 (a).

[0041] In addition, in drawing 2 (a), it is $n = 16$, and in the 1st switch circuit 11, based on the 1st static test mode signal Tm1, a shift register output n steps ago is chosen at the time of the 1st static test mode with this active signal, and the shift register output of the preceding paragraph is chosen at the

time of normal operation with this inactive signal.

[0042] That is, at the time of the 1st static test mode, in order to shorten 64 steps of shift registers 1 to 1/n step of shift register, as shown in the timing chart of drawing 2 (b), the same pulse as the group in every n steps is inputted, and the pulse which carried out 1 case shift at the time of clock pulse supply is outputted from this group. It is chosen as an input to the group this output of whose is the following n steps, and comes to output the pulse shifted further.

[0043] Therefore, in the case of drawing 2 (a) set to $n = 16$, in the case of the shift register which has 64 steps of depth at the time of normal operation, under the 1st static test mode, the time amount which will operate as a shift register whose depth is four steps, and a data sampling takes becomes $1/16$ [at the time of normal operation].

[0044] Moreover, it is also possible to constitute n steps of groups as deformation of this example every [not the group that continued but] n steps. In this case, it becomes the configuration of connecting the 1st step shift register output to the shift register input of eye a stage ($m \times n + 2$), and connecting the stage (n-1) shift register output to the stage ($m \times n + 1$) shift register input at the stage ($x(m+1) n$) shift register input, respectively, about a start pulse ST.

[0045] With the configuration of this modification, the actual (m+1) output of the same shift pulse output will be carried out every n steps.

2nd example drawing 3 is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 2nd example of this invention, drawing 3 (a) is a block diagram and drawing 3 (b) is a timing chart.

[0046] The drive circuit of the liquid crystal display of this example is the configuration equipped with the 2nd switch circuit 12 which supplies as a sampling signal any of the start pulse ST which starts shift register 1 output or actuation of a shift register 1 they are to a data register 2 based on the 2nd static test mode signal Tm2.

[0047] Generally, the configuration of a data driver has many channels as 192 channels, and since a data input is series data for every channel, by the time it carries out the sampling input of the data at the data register of a predetermined channel, it needs to carry out the sequential shift of the start pulse ST with a shift register 1, and it needs to create the sampling pulse for each channels.

[0048] In this example, it considers as the configuration which carries out the sampling input of the input data Data through a shift register 1 at the time of the 2nd static test mode for time amount compaction of the data sampling at the time of a test. Namely, a data register 2 is supplied by using a start pulse ST as the clock for a data sampling instead of the sampling pulse of shift register 1 output by the 2nd switch circuit 12.

[0049] By having formed the 2nd switch circuit 12, at the time of the 2nd static test mode, as shown in the timing chart of drawing 3 (b), time amount compaction of the part to which the data input to the 1st channel data register can be inputted into the data register of all channels at once by the start pulse ST, and the shift action of the pulse is carried out with a shift register 1 is attained.

3rd example drawing 4 is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 3rd example of this invention, drawing 4 (a) is a block diagram and drawing 4 (b) is a timing chart.

[0050] The drive circuit of the liquid crystal display of this example is the configuration equipped with the 4th switch circuit 14 which supplies any of data register 2 output or the data input section 6 they are as latch circuit 3 input based on the 3rd static test mode signal Tm3.

[0051] Since in a test which repeats and inputs data by the 4th switch circuit 14, or changes a data input frequently the SHLD of the same input data can be carried out to the latch circuit 3 of all channels as shown in the timing chart of drawing 4 (b), the time amount of a data sampling is shortened and compaction of the test time of the circuit block after a latch circuit 3 is attained.

4th example drawing 5 is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 4th example of this invention.

[0052] The drive circuit of the liquid crystal display of this example is the configuration equipped with the decoder 21 which generates the signal which specifies some data registers 2, and the 3rd switch circuit 13 which supplies as a sampling signal any of shift register 1 output or decoder 21 output they are to a data register 2 based on the 4th static test mode signal Tm4.

[0053] Under the 4th static test mode, the data with the address of the channel which it is going to test are inputted for time amount compaction of a data sampling. the delay by the shift action [in / this address ADR is decoded by the decoder 21, and the data register of a predetermined channel is chosen with decoder 21 output of the corresponding channel, and / a shift register 1] for a number of stages – nothing – the direct-input data Data – the data register of an applicable channel – it can store . 5th example drawing 6 is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 5th example of this invention.

[0054] The drive circuit of the liquid crystal display of this example is the configuration equipped with the 5th switch circuit 13 which supplies any of the latch pulse LP common to all channels, or the latch pulse for every channel they are to a latch circuit 3 based on the 5th static test mode signal Tm5.

[0055] This example is the configuration of having enabled it to correspond also to the drive power source of the low current capacity from the outside, when examining using IC circuit tester etc. Usually, the output section 5 of a data driver is a method which supplies reference supplies V1-V8 from the exterior. Usually, in the time of use, the latch circuit 3 of all channels carries out a dual output by the latch pulse LP, and the reference supplies V1-V8 for every channel are chosen as coincidence, and it becomes the output voltage which drives the liquid crystal display panel 100 at a selector 4.

[0056] By the way, when using drive power sources, such as IC circuit tester, as an external reference power source at the time of IC test, the current capacity is restricted in many cases. This example considers as the configuration which restricts the number of channels outputted to coincidence at the time of the 5th static test mode, and suppresses the output current so that it can respond, even when the current capacity is small. Specifically, it considers as the circuitry which it can output one channel at a time.

[0057] That is, in a latch circuit 3, it inputs one latch pulse according to individual at a time as a latch clock instead of the latch pulse LP common to all channels by the 5th switch circuit 13. A start pulse ST is chosen as a latch clock at this time. Therefore, at the time of the 5th static test mode, it becomes effective outputting only the channel into which the latch clock was inputted. An output is fixed to the condition of opening by the period and channel which are not chosen.

6th example drawing 7 is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 6th example of this invention, drawing 7 (a) is a block diagram and drawing 7 (b) is a timing chart.

[0058] The drive circuit of the liquid crystal display of this example is the configuration equipped with the shift register 22 for a test which carries out a shift action by the start pulse ST which starts actuation of a shift register 1, and the 6th switch circuit 16 which supplies to a selector 4 any of the AND of latch circuit 3 output or latch circuit 3 output, and shift register 22 output for a test they are based on the 6th static test mode signal Tm6, as shown in drawing 7 R> 7 (a).

[0059] Or it is good also as a configuration which omits the 6th switch circuit 16 and adds the output of each stage of a shift register 22 to the input of the selector of each channel one by one. In this example, at the time of the 6th static test mode, as shown in drawing 7 (b), only the selector of the channel which should be tested by control of the shift register 22 for a test becomes effective. Therefore, the channel chosen for every period of a start pulse ST becomes effective one by one, and reference supplies V1-V8 will be chosen and outputted one by one by the fanout of a selector 4. In addition, an output is fixed to the condition of opening by the period and channel which are not chosen.

[0060] Furthermore, it is also possible to constitute so that the plurality of two or more channels may output a channel every.

7th example drawing 8 is the block diagram of the characteristic part of the data driver in the drive

circuit of the liquid crystal display concerning the 7th example of this invention.

[0061] The drive circuit of the liquid crystal display of this example is the configuration equipped with the shift register 22 for a test which carries out a shift action by the start pulse ST which starts actuation of a shift register 1, and the 7th switch circuit 17 which supplies any of selector 4 output or shift register 22 output for a test they are to the output section 5 based on the 7th static test mode signal Tm7.

[0062] In this example, the pulse equipped with the pulse width of a start pulse ST period with the shift register 22 for a test is created, and the AND of the output of shift register each stage and the selector output of each channel which are supplied by the 7th switch circuit 17 from a shift register 22, and the output of the selector of each channel are switched. At the time of the 7th static test mode, only the output section of the channel which should be tested becomes effective.

[0063] By this, the output section of each channel will be chosen for every start pulse period, and a reference supply will be chosen and outputted one by one. Furthermore, it is also possible to constitute so that the plurality of two or more channels may output a channel every.

8th example drawing 9 is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 8th example of this invention.

[0064] The drive circuit of the liquid crystal display of this example is the configuration equipped with the output short circuit 18 equipped with the switching element controlled by the 8th static test mode signal Tm8 between each channel of output section 5 output.

[0065] A data driver is mounted in a TCP package (Tape Carried Package) in many cases. The pitch of the output side outer lead of TCP is as narrow as 160–180 [μm] order.

[0066] Although it is common to prepare a test pad in the TCP product before mounting as an object for a check at the lead trailer of all channels, since the part will be cut by the liquid crystal display panel 100 from a limit of a tooth space at the time of mounting, it is almost difficult for it to carry out probing of the TCP output channel after mounting in the liquid crystal display panel 100 separately, and to carry out analyses of operation, such as wave observation. However, only the channel of the both ends of TCP can form the pad MP for monitors in tooth space on TCP.

[0067] Then, it has the circuit 18 which short-circuits all channels across boundaries in the output section for the purpose of making the wave of a middle channel output to this monitor pad MP. The short-circuit between channels is based on the analog switch component SW. When observing a middle channel wave form, the 8th static test mode signal Tm8 is activated, and all the channels in the output section 5 are short-circuited across boundaries.

[0068] At this time, it becomes possible to carry out sequential observation of the static test mode which carries out the sequential output of each one channel of every for the 8th static test mode, then the output wave of each channel with the monitor pad MP on TCP.

[0069] Moreover, since the static test mode inputted in a format of the data with the address equivalent to a channel, then a channel can carry out direct assignment of the 8th static test mode, observing without time delay is also possible.

9th example drawing 10 is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 9th example of this invention, drawing 10 (a) is a block diagram and drawing 10 (b) is a timing chart.

[0070] The drive circuit of the liquid crystal display of the description of this example is the configuration equipped with the static test mode decoder 24 which generates the 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, and 8th static test mode signals Tm1–Tm8 based on the static test mode signal TM.

[0071] Two or more kinds of test codes which are different for every static test mode from a test terminal are inputted as a static test mode signal TM. This static test mode signal TM is decoded by the static test mode decoder 24, and a static test mode is distinguished.

[0072] The decoder output corresponding to each static test mode is made into the 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, and 8th static test mode signals Tm1–Tm8, and it considers as the signal which switches

the component added to a test which was explained in the above 1st – the 8th example to normal operation or a static test mode, and controls it. Two or more static test modes are inputted into series, and the duplication combination of a static test mode is also possible.

[0073] Moreover, it is also possible to constitute a test terminal from two or more test terminals, to input a direct current signal into this test terminal, and to express two or more kinds of static test modes in the combination.

[0074] Furthermore, it is also possible to input two or more kinds of test codes using the terminals, for example, the start input terminal etc., other than a test terminal etc. instead of a test terminal.

The important section of a liquid crystal display including the drive circuit indicated in each example [10th / more than] example was indicated to drawing 1 . As shown in drawing 1 , after input data DATA is serially sent to a data register 2 through the data input section 6, it is impressed to the liquid crystal display panel 100 via the output short circuit 18 as parallel data.

[0075] Thus, the liquid crystal display concerning this invention has composition in which the various trials which equipped with and mentioned above the drive circuit shown in each example are possible.

[0076]

[Effect of the Invention] As explained above, according to this invention, by the 1st switch circuit under the 1st static test mode Since the shift register output of the preceding paragraph of the head stage of a division group where this stage when dividing every n steps is included as an input of each stage of a shift register is supplied A shift register can be effectually shortened to $1/n$ step of shift register, the time amount which a data sampling takes is set to $1/n$ at the time of normal operation, and the drive circuit of the liquid crystal display which can shorten test time, such as IC shipment trial, can be offered.

[0077] Moreover, according to this invention, since [with the 2nd switch circuit / the start pulse which starts actuation of a shift register under the 2nd static test mode] a data register is supplied as a sampling signal, the data input to the data register of an arbitration channel can be inputted into the data register of all channels at once by the start pulse, the time amount compaction for a shift action in a shift register is attained, and the drive circuit of the liquid crystal display which can shorten test time, such as IC shipment trial, can be offered.

[0078] Moreover, since [according to this invention / with the 4th switch circuit] the data input section is supplied as a latch circuit input under the 3rd static test mode, the drive circuit of the liquid crystal display which the SHLD of the same input data can be carried out to the latch circuit of all channels, and a data sampling time is shortened, and can shorten the test time of the circuit block after a latch circuit can be offered.

[0079] Moreover, according to this invention, generate the signal which specifies some data registers from a decoder, and by the 3rd switch circuit, since a data register is supplied by making a decoder output into a sampling signal under the 4th static test mode Since it can test by being able to specify some data registers with the address etc., and choosing a channel as arbitration, and shortening the time amount for a shift action in a shift register While being able to shorten test time, such as IC shipment trial, the drive circuit of the liquid crystal display in which various tests, such as a random sampling test, are possible can be offered.

[0080] Moreover, according to this invention, by the 5th switch circuit, under the 5th static test mode, when only the latch circuit of a channel to which the latch pulse was supplied can be confirmed and it examines using IC circuit tester etc., the drive circuit of the liquid crystal display which can respond also to the drive power source of the low current capacity from the outside can be offered.

[0081] Moreover, according to this invention, in the shift register for a test, a shift action is carried out by the start pulse, and by the 6th switch circuit, since the shift register output for a test is supplied to a selector under the 6th static test mode, when only the selector of the channel which should be tested becomes effective and it examines using IC circuit tester etc., the drive circuit of the liquid crystal display which can respond also to the drive power source of the low current capacity from the outside can be offered.

[0082] Moreover, according to this invention, in the shift register for a test, a shift action is carried out by the start pulse, and by the 7th switch circuit, since the shift register output for a test is supplied to the output section under the 7th static test mode, when only the output section of the channel which should be tested becomes effective and it examines using IC circuit tester etc., the drive circuit of the liquid crystal display which can respond also to the drive power source of the low current capacity from the outside can be offered.

[0083] Moreover, according to this invention, by the output short circuit, under the 8th static test mode, since the switching element provided between each channel of an output section output can be made to be able to turn on and all the channels in the output section can be short-circuited across boundaries, the drive circuit of a liquid crystal display with the easy analysis of operation after mounting to the liquid crystal display panel of TCP can be offered.

[0084] Furthermore, since [according to this invention / with the static test mode decoder 24] the 1st, 2nd, 3rd, 4th, 5th, 6th, 7th, or 8th static test mode signal is generated based on a static test mode signal, the drive circuit of the liquid crystal display which can test various combination can be offered by assignment of the static test mode signal TM.

[0085] In addition, since the liquid crystal display concerning this invention includes a drive circuit according to claim 1 to 9, it can offer the liquid crystal display which enables the various trials after mounting.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the drive circuit of the liquid crystal display concerning each example of this invention, and is a partial block diagram about a digital data driver.

[Drawing 2] It is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 1st example, and drawing 2 (a) is a circuitry Fig. and drawing 2 (b) is a timing chart.

[Drawing 3] It is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 2nd example, and drawing 3 (a) is a block diagram and drawing 3 (b) is a timing chart.

[Drawing 4] It is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 3rd example, and drawing 4 (a) is a block diagram and drawing 4 (b) is a timing chart.

[Drawing 5] It is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 4th example.

[Drawing 6] It is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 5th example.

[Drawing 7] It is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 6th example, and drawing 7 (a) is a block diagram and drawing 7 (b) is a timing chart.

[Drawing 8] It is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 7th example.

[Drawing 9] It is the block diagram of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 8th example.

[Drawing 10] It is the explanatory view of the characteristic part of the data driver in the drive circuit of the liquid crystal display concerning the 9th example, and drawing 10 (a) is a block diagram and drawing 10 (b) is a timing chart.

[Drawing 11] It is the explanatory view of the drive circuit of the conventional liquid crystal display, and drawing 11 (a) is a block diagram and drawing 11 (b) is a timing chart.

[Description of Notations]

- 1 -- Shift register
- 2 -- Data register
- 3 -- Latch circuit
- 4 -- Selector
- 5 -- Output section
- 6 -- Data input section
- 11 -- The 1st switch circuit
- 12 -- The 2nd switch circuit
- 13 -- The 3rd switch circuit
- 14 -- The 4th switch circuit
- 15 -- The 5th switch circuit
- 16 -- The 6th switch circuit
- 17 -- The 7th switch circuit
- 18 -- Output short circuit
- 21 -- Address decoder for a test
- 22 -- Shift register for a test
- 24 -- Static test mode decoder
- 100 -- Liquid crystal display panel
- TM -- Static test mode signal
- Tm1-Tm8 -- The 1st - the 8th static test mode signal
- ST -- Start pulse
- CK -- Clock
- ADR -- Address
- DATA -- Input data (R, G, B)
- Data -- Input data
- LP -- Latch pulse
- Lp -- Latch pulse
- V1-V8 -- Reference supply
- SE2-SE32 -- Selector
- S1-S32 -- Shift register
- SOUT1-SOUT64 -- Shift register output
- MP--TCP top monitor pad
- SW -- Analog switch (switching element)
- R1 -- Data register

[Translation done.]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-260857

(43)公開日 平成7年(1995)10月13日

(51)Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 1 R 31/00
31/3185
31/28

G 0 2 F 1/133 5 0 5

G 0 1 R 31/ 28

W

審査請求 未請求 請求項の数10 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平6-48416

(22)出願日 平成6年(1994)3月18日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 三輪 裕一

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

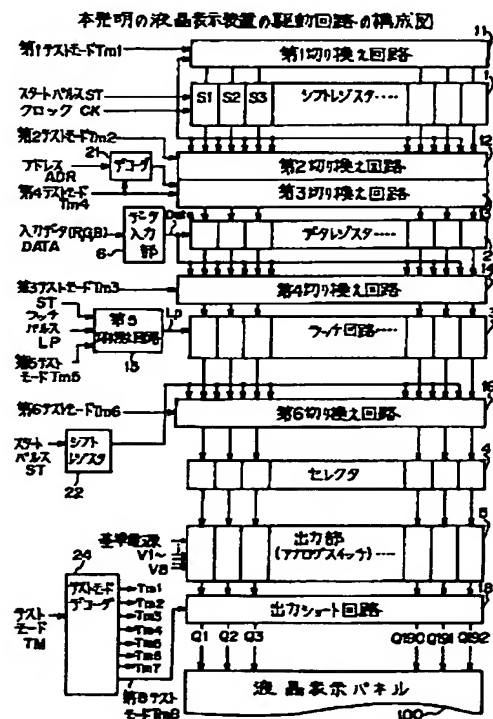
(74)代理人 弁理士 石川 泰男

(54)【発明の名称】 液晶表示装置の駆動回路および液晶表示装置

(57)【要約】

【目的】 I C出荷試験等の試験時間を短縮でき、低電流容量の駆動電源による I C試験が可能で、T C Pの液晶パネル実装後の各出力チャネルのチェックが可能な液晶表示装置の駆動回路を提供する。

【構成】 シフトレジスタ1各段入力を供給する第1切り換え回路11と、サンプリング信号を供給する第2切り換え回路12と、ラッチ回路3入力を供給する第4切り換え回路14と、データレジスタ2の一部を特定するデコーダ21と、サンプリング信号を供給する第3切り換え回路13と、ラッチ回路3用パルスを切り換える第5切り換え回路13と、テスト用シフトレジスタ22と、セクタ4のチャネルを特定する第6切り換え回路16と、出力部5を特定する第7切り換え回路17と、出力部5をショート可能な出力ショート回路18と、テストモードデコーダ24とを有して構成する。



(2)

1

【特許請求の範囲】

【請求項1】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）を備える液晶表示装置の駆動回路であって、

第1テストモード信号（Tm1）に基づき、前記シフトレジスタ（1）の各段の入力として、該段の前段のシフトレジスタ出力、またはn段（nは任意の正整数）毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路（11）を有することを特徴とする液晶表示装置の駆動回路。

【請求項2】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）とを備える液晶表示装置の駆動回路であって、

第2テストモード信号（Tm2）に基づき、前記シフトレジスタ（1）出力、または前記シフトレジスタ（1）の動作を開始するスタートパルス（ST）の何れかを、前記サンプリング信号として前記データレジスタ（2）に供給する第2切り換え回路（12）を有することを特徴とする液晶表示装置の駆動回路。

【請求項3】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）と、前記データレジスタ（2）出力をラッチするラッチ回路（3）とを備える液晶表示装置の駆動回路であって、

第3テストモード信号（Tm3）に基づき、前記ラッチ回路（3）入力として、データレジスタ（2）出力、または入力データ（DATA）の何れかを供給する第4切り換え回路（14）を有することを特徴とする液晶表示装置の駆動回路。

【請求項4】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）とを備える液晶表示装置の駆動回路であって、前記データレジスタ（2）の一部を特定する信号を生成するデコーダ（21）と、

第4テストモード信号（Tm4）に基づき、前記シフトレジスタ（1）出力、またはデコーダ（21）出力の何れかを、前記サンプリング信号として前記データレジスタ（2）に供給する第3切り換え回路（13）を有することを特徴とする液晶表示装置の駆動回路。

【請求項5】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）と、前記データレジスタ（2）出力をラッチするラッチ回路（3）とを備える液晶表示装置の駆動回路であって、

第5テストモード信号（Tm5）に基づき、全チャネル共通のラッチパルス（LP）、またはチャネル毎のラッチパルスの何れかを、前記ラッチ回路（3）に供給する

2

第5切り換え回路（13）を有することを特徴とする液晶表示装置の駆動回路。

【請求項6】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）と、前記データレジスタ（2）出力をラッチするラッチ回路（3）と、前記ラッチ回路（3）出力に基づき選択信号を生成するセクタ（4）と、前記選択信号に基づき出力電圧レベルを決定する出力部（5）とを備える液晶表示装置の駆動回路であって、

前記シフトレジスタ（1）の動作を開始するスタートパルス（ST）でシフト動作するテスト用シフトレジスタ（22）と、

第6テストモード信号（Tm6）に基づき、前記ラッチ回路（3）出力、または前記ラッチ回路（3）出力と前記テスト用シフトレジスタ（22）出力との論理積の何れかを、前記セクタ（4）に供給する第6切り換え回路（16）を有することを特徴とする液晶表示装置の駆動回路。

【請求項7】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）と、前記データレジスタ（2）出力をラッチするラッチ回路（3）と、前記ラッチ回路（3）出力に基づき選択信号を生成するセクタ（4）と、前記選択信号に基づき出力電圧レベルを決定する出力部（5）とを備える液晶表示装置の駆動回路であって、

前記シフトレジスタ（1）の動作を開始するスタートパルス（ST）でシフト動作するテスト用シフトレジスタ（22）と、

第7テストモード信号（Tm7）に基づき、前記セクタ（4）出力、または前記セクタ（4）出力と前記テスト用シフトレジスタ（22）出力との論理積の何れかを、前記出力部（5）に供給する第7切り換え回路（17）を有することを特徴とする液晶表示装置の駆動回路。

【請求項8】 入力データ（DATA）のサンプリング信号を生成するシフトレジスタ（1）と、サンプリング入力を保持するデータレジスタ（2）と、前記データレジスタ（2）出力をラッチするラッチ回路（3）と、前記ラッチ回路（3）出力に基づき選択信号を生成するセクタ（4）と、前記選択信号に基づき出力電圧レベルを決定する出力部（5）とを備える液晶表示装置の駆動回路であって、

前記出力部（5）出力の各チャネル間に第8テストモード信号（Tm8）により制御されるスイッチング素子を備える出力ショート回路（18）を有することを特徴とする液晶表示装置の駆動回路。

【請求項9】 前記液晶表示装置の駆動回路は、テストモード信号（TM）に基づき前記第1、第2、第3、第

10

20

30

40

50

(3)

3

4、第5、第6、第7、または第8テストモード信号(Tm1~Tm8)を生成するテストモードデコーダ(24)を有することを特徴とする請求項1、2、3、4、5、6、7、または8に記載の液晶表示装置の駆動回路。

【請求項10】 液晶表示パネル(100)と、この液晶表示パネル(100)に駆動電圧を供給する駆動回路と、を備え、

前記駆動回路は前記請求項1乃至9のいずれかに記載の駆動回路を含むことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置およびその駆動回路に係り、特に、データドライバICについて、IC出荷試験等の試験時間を短縮でき、低電流容量の駆動電源によるIC試験が可能で、TCP(tape carried package)の液晶パネル実装後の各出力チャネルのチェックが可能な液晶表示装置の駆動回路に関する。

【0002】

【従来の技術】従来の液晶表示装置の駆動回路では、デジタルデータドライバの構成は、一般に図11(a)に示すように、シフトレジスタ1、データ入力部6、データレジスタ2、ラッチ回路3、セレクト4、及び出力部5を備えて構成されている。

【0003】このデジタルデータドライバの動作は、図11(b)のタイミングチャートに示すように、先ず、シフトレジスタ1の各段の出力が次段の入力となつて、順次制御信号がデータレジスタ2に供給されて、入力データDATAがデータ入力部6を介してデータレジスタ2内に取り込まれる。データレジスタ2の出力はラッチパルスLPによりラッチ回路3にラッチされる。セレクト4では、ラッチ回路3出力に基づき選択データが生成され、出力部5のアナログスイッチを該選択データによって制御して、それぞれのデータラインQ1~Q192について電圧レベルV1~V8が決定されて液晶表示パネル100を駆動する。

【0004】このようなデジタルデータドライバをIC化した場合、該ICのデータ入力端子数は階調数に相当するビット数×3(R, G, B)である。

【0005】

【発明が解決しようとする課題】従って、従来の液晶表示装置の駆動回路では、デジタルデータドライバの出力チャネル数が(例えば、図11では192チャンネルと)多く、データ入力Dataはチャンネル毎のシリーズデータであるため、所定のチャンネルのデータレジスタ2にデータをサンプリング入力するまでには、シフトレジスタ1でスタートパルスSTを順次シフトして、個々のチャンネル用のサンプリングパルスを作成する必要がある、IC出荷試験等の試験に時間を要するという問題があった。

4

【0006】本発明は、上記問題点を解決するもので、IC出荷試験等の試験時間を短縮できる液晶表示装置の駆動回路を提供することを目的とする。また本発明の他の目的は、低電流容量の駆動電源によるIC試験を行い得る液晶表示装置の駆動回路を提供することである。

【0007】更に本発明の目的は、TCPの液晶パネル実装後の各出力チャネルのチェックが可能な液晶表示装置の駆動回路を提供することである。

【0008】

10 【課題を解決するための手段】上記課題を解決するために、本発明の第1の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1とを備える液晶表示装置の駆動回路であつて、第1テストモード信号Tm1に基づき、前記シフトレジスタ1の各段の入力として、該段の前段のシフトレジスタ出力、またはn段(nは任意の正整数)毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路11を有して構成する。

20 【0009】また、本発明の第2の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2とを備える液晶表示装置の駆動回路であつて、第2テストモード信号Tm2に基づき、前記シフトレジスタ1出力、または前記シフトレジスタ1の動作を開始するスタートパルスSTの何れかを、前記サンプリング信号として前記データレジスタ2に供給する第2切り換え回路12を有して構成する。

30 【0010】また、本発明の第3の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3とを備える液晶表示装置の駆動回路であつて、第3テストモード信号Tm3に基づき、前記ラッチ回路3入力として、データレジスタ2出力、または入力データDATAの何れかを供給する第4切り換え回路14を有して構成する。

40 【0011】また、本発明の第4の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2とを備える液晶表示装置の駆動回路であつて、前記データレジスタ2の一部を特定する信号を生成するデコーダ21と、第4テストモード信号Tm4に基づき、前記シフトレジスタ1出力、またはデコーダ21出力の何れかを、前記サンプリング信号として前記データレジスタ2に供給する第3切り換え回路13とを有して構成する。

50 【0012】また、本発明の第5の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAの

(4)

5

サンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3とを備える液晶表示装置の駆動回路であって、第5テストモード信号Tm5に基づき、全チャンネル共通のラッチパルスLP、またはチャンネル毎のラッチパルスの何れかを、前記ラッチ回路3に供給する第5切り換え回路13を有して構成する。

【0013】また、本発明の第6の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第6テストモード信号Tm6に基づき、前記ラッチ回路3出力、または前記テスト用シフトレジスタ22出力の何れかを、前記セクタ4に供給する第6切り換え回路16とを有して構成する。

【0014】また、本発明の第7の特徴の液晶表示装置の駆動回路は、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第7テストモード信号Tm7に基づき、前記セクタ4出力、または前記テスト用シフトレジスタ22出力の何れかを、前記出力部5に供給する第7切り換え回路17とを有して構成する。

【0015】また、本発明の第8の特徴の液晶表示装置の駆動回路は、図1に示す如く、入力データDATAのサンプリング信号を生成するシフトレジスタ1と、サンプリング入力を保持するデータレジスタ2と、前記データレジスタ2出力をラッチするラッチ回路3と、前記ラッチ回路3出力に基づき選択信号を生成するセクタ4と、前記選択信号に基づき出力電圧レベルを決定する出力部5とを備える液晶表示装置の駆動回路であって、前記出力部5出力の各チャンネル間に第8テストモード信号Tm8により制御されるスイッチング素子を備える出力ショート回路18を有して構成する。

【0016】更に、本発明の第9の特徴の液晶表示装置の駆動回路は、請求項1、2、3、4、5、6、7、または8に記載の液晶表示装置の駆動回路において、前記

6

液晶表示装置の駆動回路は、テストモード信号TMに基づき前記第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号Tm1～Tm8を生成するテストモードデコーダ24を有して構成する。

【0017】また、請求項10に記載の液晶表示装置の発明は、各請求項1乃至9のいずれかの駆動回路を有し、その駆動回路によって駆動される液晶表示パネル100を備えて構成される。

【0018】

10 【作用】本発明の第1の特徴の液晶表示装置の駆動回路では、図1に示す如く、第1切り換え回路11により、第1テストモード信号Tm1に基づき、通常動作時には、シフトレジスタ1の各段の入力として該段の前段のシフトレジスタ出力を供給し、第1テストモード下では、シフトレジスタ1の各段の入力として、n段（nは任意の正整数）毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力を供給するようにしている。

20 【0019】これにより、第1テストモード時には、シフトレジスタ1を実効的に1/n段のシフトレジスタに短縮するため、データサンプリングに要する時間が通常動作時の1/nとなり、IC出荷試験等の試験時間を短縮できる。

【0020】また、本発明の第2の特徴の液晶表示装置の駆動回路では、図1に示す如く、第2切り換え回路12により、第2テストモード信号Tm2に基づき、通常動作時にはシフトレジスタ1出力を、また、第2テストモード下ではシフトレジスタ1の動作を開始するスタートパルスSTを、サンプリング信号としてデータレジスタ2に供給するようにしている。

30 【0021】これにより、第2テストモード時には、任意チャンネルのデータレジスタへのデータ入力を、スタートパルスSTで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタ1におけるシフト動作分の時間短縮が可能となり、IC出荷試験等の試験時間を短縮できる。

【0022】また、本発明の第3の特徴の液晶表示装置の駆動回路では、図1に示す如く、第4切り換え回路14により、第3テストモード信号Tm3に基づき、通常動作時には、ラッチ回路3入力としてデータレジスタ2出力を、また、第3テストモード下ではデータ入力部6を供給するようにしている。

【0023】これにより、例えばデータを繰り返し入力し、またはデータ入力を頻繁に変更するようなテストの場合にも、同一の入力データを全チャンネルのラッチ回路3に直接ストアでき、データサンプリング時間が短縮され、ラッチ回路3以降の回路ブロックの試験時間の短縮が可能となる。

50 【0024】また、本発明の第4の特徴の液晶表示装置の駆動回路では、図1に示す如く、デコーダ21からデ

(5)

7

ータレジスタ2の一部を特定する信号を生成し、第3切り換え回路13により、第4テストモード信号Tm4に基づき、通常動作時にはシフトレジスタ1出力を、また第4テストモード下ではデコーダ21出力を、サンプリング信号としてデータレジスタ2に供給するようにしている。

【0025】このように、アドレス等によってデータレジスタ2の一部を特定することができるので、チャンネルを任意に選択して、且つシフトレジスタ1におけるシフト動作分の時間を短縮してテストを行うことができるので、IC出荷試験等の試験時間を短縮できると共に、ランダムサンプリングテスト等の種々のテストが可能となる。

【0026】また、本発明の第5の特徴の液晶表示装置の駆動回路では、図1に示す如く、第5切り換え回路13により、第5テストモード信号Tm5に基づき、通常動作時には全チャンネル共通のラッチパルスLPを、また第5テストモード下ではチャンネル毎のラッチパルスをラッチ回路3に供給するようにしている。

【0027】このように第5切り換え回路13により、第5テストモード下ではラッチパルスの供給されたチャンネルのラッチ回路のみを有効とすることができ、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0028】また、本発明の第6の特徴の液晶表示装置の駆動回路では、図1に示す如く、テスト用シフトレジスタ22においてスタートパルスSTでシフト動作し、第6切り換え回路16により、第6テストモード信号Tm6に基づき、通常動作時にはラッチ回路3出力を、また第6テストモード下ではラッチ回路3出力とテスト用シフトレジスタ22出力との論理積をセクタ4に供給するようにしている。

【0029】これにより、第6テストモード時には、テストすべきチャンネルのセクタのみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0030】また、本発明の第7の特徴の液晶表示装置の駆動回路では、テスト用シフトレジスタ22においてスタートパルスSTでシフト動作し、第7切り換え回路17により、第7テストモード信号Tm7に基づき、通常動作時にはセクタ4出力を、また第7テストモード下ではセクタ4出力とテスト用シフトレジスタ22出力との論理積を出力部5に供給するようにしている。

【0031】これにより、第7テストモード時には、テストすべきチャンネルの出力部のみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できる。

【0032】また、本発明の第8の特徴の液晶表示装置の駆動回路では、図1に示す如く、出力ショート回路18により、第8テストモード下では、出力部5出力の各

8

チャンネル間に具備するスイッチング素子をオンさせて、出力部5における全チャンネルを横断的にショートすることができ、TCPの液晶表示パネルへの実装後の動作解析が容易になる。

【0033】例えば、第8テストモードを個々のチャンネルを1チャンネルずつ順次出力するテストモードとすれば、各チャンネルの出力波形を、TCP上のモニターバッドMPで順次観測することが可能となり、また、第8テストモードをチャンネルに相当するアドレス付きデータのフォーマットで入力するテストモードとすれば、チャンネルを直接指定できるため、時間的遅れなく観測することも可能である。

【0034】更に、本発明の第9の特徴の液晶表示装置の駆動回路では、テストモードデコーダ24により、テストモード信号TMに基づき第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号Tm1～Tm8を生成するようにしている。従って、テストモード信号TMの指定によって種々の組合せのテストが可能となる。

【0035】請求項10に記載の発明によれば、上記各請求項1乃至9に記載の駆動回路によって液晶表示パネル100が駆動される液晶表示装置の具現化が可能となる。

【0036】

【実施例】次に、本発明に係る実施例を図面に基づいて説明する。図1は、以下で説明する本発明の各実施例に係る液晶表示装置の駆動回路の構成図であり、デジタルデータドライバについての部分構成図である。同図において、図11（従来例）と重複する部分には同一の符号を附する。

【0037】図1において、デジタルデータドライバは、従来例と同様に、シフトレジスタ1、データ入力部6、データレジスタ2、ラッチ回路3、セクタ4、及び出力部5を備えている。通常動作（テストモードではない）時におけるこれら構成要素の動作は、従来と同様である。

【0038】以上の構成に加えて、本発明では、第1切り換え回路11、第2切り換え回路12、第3切り換え回路13、第4切り換え回路14、第5切り換え回路15、第6切り換え回路16、第7切り換え回路17、出力ショート回路18、テスト用アドレスデコーダ21、テスト用シフトレジスタ22、及びテストモードデコーダ24が付加された構成となっている。

【0039】以下、付加された各構成要素の機能及び動作について、各実施例において詳細に説明する。

第1実施例

図2は本発明の第1実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図2(a)は回路構成図、図2(b)はタイミングチャートである。

(6)

9

【0040】本実施例の液晶表示装置の駆動回路は、図2(a)に示すように、第1テストモード信号Tm1に基づき、シフトレジスタ1の各段の入力として、該段の前段のシフトレジスタ出力、またはn段(nは任意の正整数)毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力の何れかを供給する第1切り換え回路11を備えた構成である。

【0041】尚、図2(a)においては $n=16$ であり、第1切り換え回路11において、第1テストモード信号Tm1に基づき、該信号がアクティブの第1テストモード時にn段前のシフトレジスタ出力が選択され、該信号がインアクティブの通常動作時に前段のシフトレジスタ出力が選択される。

【0042】つまり、第1テストモード時には、例えば64段のシフトレジスタ1を $1/n$ 段のシフトレジスタに短縮するため、図2(b)のタイミングチャートに示すように、n段毎のグループに同じパルスを入力し、該グループからはクロックパルス供給時に1段シフトしたパルスを出力する。この出力が次のn段のグループに対する入力として選択され、更にシフトしたパルスを出力するようになる。

【0043】従って $n=16$ とした図2(a)の場合には、通常動作時に64段の奥行きのあるシフトレジスタの場合、第1テストモード下では奥行きが4段のシフトレジスタとして動作することとなり、データサンプリングに要する時間は、通常動作時の $1/16$ となる。

【0044】また、本実施例の変形として、n段のグループを連続したグループではなく、n段おきに構成することも可能である。この場合、スタートパルスSTを $(m \times n + 1)$ 段目シフトレジスタ入力に、1段目シフトレジスタ出力を $(m \times n + 2)$ 段目のシフトレジスタ入力に、 $(n - 1)$ 段目シフトレジスタ出力を $(m + 1) \times n$ 段目シフトレジスタ入力に、それぞれ接続していく構成となる。

【0045】本変形例の構成では、同じシフトパルス出力がn段おきに $(m + 1)$ 本出力されることとなる。

第2実施例

図3は本発明の第2実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図3(a)は構成図、図3(b)はタイミングチャートである。

【0046】本実施例の液晶表示装置の駆動回路は、第2テストモード信号Tm2に基づき、シフトレジスタ1出力、またはシフトレジスタ1の動作を開始するスタートパルスSTの何れかを、サンプリング信号としてデータレジスタ2に供給する第2切り換え回路12を備えた構成である。

【0047】一般にデータドライバの構成は、チャンネル数が例えば192チャンネルと多く、データ入力はチャンネル毎のシリーズデータであるため、所定のチャンネルのデ

10

ータレジスタにデータをサンプリング入力するまでに、シフトレジスタ1でスタートパルスSTを順次シフトし、個々のチャンネル用のサンプリングパルスを作成する必要がある。

【0048】本実施例では、テスト時のデータサンプリングの時間短縮のため、第2テストモード時には、シフトレジスタ1を介することなく、入力データDataをサンプリング入力する構成とする。即ち、第2切り換え回路12により、シフトレジスタ1出力のサンプリングパルスの代わりに、スタートパルスSTをデータサンプリング用クロックとしてデータレジスタ2に供給する。

【0049】第2切り換え回路12を設けたことにより、第2テストモード時には、図3(b)のタイミングチャートに示すように、第1チャンネルデータレジスタへのデータ入力を、スタートパルスSTで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタ1でパルスをシフト動作させる分の時間短縮が可能となる。

第3実施例

図4は本発明の第3実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図4(a)は構成図、図4(b)はタイミングチャートである。

【0050】本実施例の液晶表示装置の駆動回路は、第3テストモード信号Tm3に基づき、ラッチ回路3入力として、データレジスタ2出力、またはデータ入力部6の何れかを供給する第4切り換え回路14を備えた構成である。

【0051】第4切り換え回路14により、データを繰り返し入力し、またはデータ入力を頻繁に変更するようなテストの場合、図4(b)のタイミングチャートに示すように、同一の入力データを全チャンネルのラッチ回路3に直接ストアできるので、データサンプリングの時間が短縮され、ラッチ回路3以降の回路ブロックの試験時間の短縮が可能となる。

第4実施例

図5は本発明の第4実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0052】本実施例の液晶表示装置の駆動回路は、データレジスタ2の一部を特定する信号を生成するデコーダ21と、第4テストモード信号Tm4に基づき、シフトレジスタ1出力、またはデコーダ21出力の何れかを、サンプリング信号としてデータレジスタ2に供給する第3切り換え回路13とを備えた構成である。

【0053】第4テストモード下では、データサンプリングの時間短縮のため、テストしようとするチャンネルのアドレス付きデータを入力する。デコーダ21で該アドレスADRをデコードし、該当するチャンネルのデコーダ21出力により、所定のチャンネルのデータレジスタを選択して、シフトレジスタ1における段数分のシフト動作

(7)

11

による遅れなしに、直接入力データDataを該当チャネルのデータレジスタにストアすることができる。

第5実施例

図6は本発明の第5実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0054】本実施例の液晶表示装置の駆動回路は、第5テストモード信号Tm5に基づき、全チャネル共通のラッチパルスLP、またはチャネル毎のラッチパルスの何れかをラッチ回路3に供給する第5切り換え回路13を備えた構成である。

【0055】本実施例は、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応できるようにした構成である。通常、データドライバの出力部5は外部から基準電源V1～V8を供給する方式である。通常使用時は、ラッチパルスLPにより全チャネルのラッチ回路3が同時出力し、セレクト4では同時に各チャネル毎の基準電源V1～V8を選択し、液晶表示パネル100を駆動する出力電圧となる。

【0056】ところで、ICテスト時にICテスト等の駆動電源を外部基準電源として用いる場合、その電流容量が制限されることが多い。本実施例は、その電流容量が小さい場合でも対応できるように、第5テストモード時には同時に出力するチャネル数を制限する構成とし、出力電流を抑えるものである。具体的には、1チャネルずつ出力できる回路構成とする。

【0057】つまり、第5切り換え回路13により、ラッチ回路3において、全チャネル共通のラッチパルスLPの代わりに、1チャネルずつ個別のラッチパルスをラッチクロックとして入力する。この時のラッチクロックとしては、スタートパルスSTを選択する。従って、第5テストモード時にはラッチクロックが入力されたチャネルのみ出力が有効となる。選択されていない周期とチャネルでは、出力は例えばオープンの状態に固定する。

第6実施例

図7は本発明の第6実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図7(a)は構成図、図7(b)はタイミングチャートである。

【0058】本実施例の液晶表示装置の駆動回路は、図7(a)に示すように、シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第6テストモード信号Tm6に基づき、ラッチ回路3出力、またはラッチ回路3出力とテスト用シフトレジスタ22出力との論理積の何れかをセレクト4に供給する第6切り換え回路16とを備えた構成である。

【0059】または、第6切り換え回路16を省略して、シフトレジスタ22の各段の出力を、順次各チャネルのセレクトの入力に追加する構成としてもよい。本実

12

施例では、第6テストモード時には、図7(b)に示すように、テスト用シフトレジスタ22の制御によってテストすべきチャネルのセレクトのみが有効となる。従って、セレクト4の論理出力により、スタートパルスSTの周期毎に選択されたチャネルが順次有効となり、順次、基準電源V1～V8が選択されて出力されることとなる。尚、選択されていない周期とチャネルでは、出力は例えばオープンの状態に固定する。

【0060】更に、2チャネル以上の複数のチャネルずつ出力するよう構成することも可能である。

第7実施例

図8は本発明の第7実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0061】本実施例の液晶表示装置の駆動回路は、シフトレジスタ1の動作を開始するスタートパルスSTでシフト動作するテスト用シフトレジスタ22と、第7テストモード信号Tm7に基づき、セレクト4出力、またはテスト用シフトレジスタ22出力の何れかを出力部5に供給する第7切り換え回路17とを備えた構成である。

【0062】本実施例では、テスト用シフトレジスタ22でスタートパルスST周期のパルス幅を備えるパルスを作成し、第7切り換え回路17により、シフトレジスタ22から供給されるシフトレジスタ各段の出力と各チャネルのセレクト出力との論理積と、各チャネルのセレクトの出力とが切り換えられる。第7テストモード時には、テストすべきチャネルの出力部のみが有効となる。

【0063】これにより、スタートパルス周期毎に各チャネルの出力部が選択され、順次、基準電源が選択されて出力されることとなる。更に、2チャネル以上の複数のチャネルずつ出力するよう構成することも可能である。

第8実施例

図9は本発明の第8実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【0064】本実施例の液晶表示装置の駆動回路は、出力部5出力の各チャネル間に第8テストモード信号Tm8により制御されるスイッチング素子を備える出力ショート回路18を備えた構成である。

【0065】データドライバはTCPパッケージ(Tape Carried Package)に実装されることが多い。TCPの出力側アウターリードのピッチは、160～180[μm]前後と狭い。

【0066】実装前のTCP製品には、全チャネルのリード終端部にチェック用として、テストパッドを設けることが一般的だが、液晶表示パネル100に実装時には、その部分はスペースの制限からカットされてしまうため、液晶表示パネル100に実装後のTCP出力チャ

(8)

13

ネルを個々にプロービングして、波形観測等の動作解析をすることはほとんど困難である。但し、TCPの両端のチャンネルのみ、TCP上にモニター用パッドMPを設けることがスペース的に可能である。

【0067】そこで、このモニターパッドMPに中間のチャンネルの波形を出力させることを目的として、出力部に全チャンネルを横断的にショートする回路18を備える。チャンネル間のショートはアナログスイッチ素子SWによる。中間のチャンネル波形を観測する場合、第8テストモード信号Tm8をアクティブにして、出力部5にお

ける全チャンネルを横断的にショートする。
【0068】この時、第8テストモードを個々のチャンネルを1チャンネルずつ順次出力するテストモードとすれば、各チャンネルの出力波形を、TCP上のモニターパッドMPで順次観測することが可能となる。

【0069】また、第8テストモードをチャンネルに相当するアドレス付きデータのフォーマットで入力するテストモードとすれば、チャンネルが直接指定できるため、時間的遅れなく観測することも可能である。

第9実施例

図10は本発明の第9実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図10(a)は構成図、図10(b)はタイミングチャートである。

【0070】本実施例の特徴の液晶表示装置の駆動回路は、テストモード信号TMに基づき第1、第2、第3、第4、第5、第6、第7、及び第8テストモード信号Tm1～Tm8を生成するテストモードデコーダ24を備えた構成である。

【0071】テスト端子からテストモード毎に違う複数種類のテストコードを、テストモード信号TMとして入力する。該テストモード信号TMをテストモードデコーダ24でデコードしテストモードを判別する。

【0072】各テストモードに対応するデコーダ出力を第1、第2、第3、第4、第5、第6、第7、及び第8テストモード信号Tm1～Tm8とし、上記第1～第8実施例で説明したようなテスト用に付加された構成要素を通常動作またはテストモードに切り換え制御する信号とする。複数のテストモードをシリーズに入力し、テストモードの重複組み合わせも可能である。

【0073】また、テスト端子を複数個のテスト端子で構成して、該テスト端子に直流信号を入力して、その組み合わせで複数種類のテストモードを表現することも可能である。

【0074】更に、テスト端子の代わりに、テスト端子以外の端子、例えばスタート入力端子等を使用して複数種類のテストコードを入力することも可能である。

第10実施例

以上の各実施例に開示した駆動回路を含む液晶表示の要部を図1に開示した。図1に示すように、入力データD

14

ATAはデータ入力部6を介してシリアルにデータレジスタ2に送られたのち、パラレルデータとして出力ショート回路18を経由して液晶表示パネル100に印加される。

【0075】このように、本発明に係る液晶表示装置は、各実施例に示した駆動回路を備え、前述した種々の試験が可能な構成となっている。

【0076】

【発明の効果】以上説明したように、本発明によれば、第1切り換え回路により、第1テストモード下では、シフトレジスタの各段の入力として、n段毎に分割したときの該段が含まれる分割群の先頭段の前段のシフトレジスタ出力を供給することとしたので、シフトレジスタを実効的に1/n段のシフトレジスタに短縮することができ、データサンプリングに要する時間が通常動作時の1/nとなり、IC出荷試験等の試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0077】また、本発明によれば、第2切り換え回路により、第2テストモード下ではシフトレジスタの動作を開始するスタートパルスを、サンプリング信号としてデータレジスタに供給することとしたので、任意チャンネルのデータレジスタへのデータ入力を、スタートパルスで全チャンネルのデータレジスタに一度に入力でき、シフトレジスタにおけるシフト動作分の時間短縮が可能となり、IC出荷試験等の試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0078】また、本発明によれば、第4切り換え回路により、第3テストモード下ではラッチ回路入力としてデータ入力部を供給することとしたので、同一の入力データを全チャンネルのラッチ回路に直接ストアでき、データサンプリング時間が短縮され、ラッチ回路以降の回路ブロックの試験時間を短縮し得る液晶表示装置の駆動回路を提供することができる。

【0079】また、本発明によれば、デコーダからデータレジスタの一部を特定する信号を生成し、第3切り換え回路により、第4テストモード下ではデコーダ出力をサンプリング信号としてデータレジスタに供給することとしたので、アドレス等によってデータレジスタの一部を特定することができ、チャンネルを任意に選択して、且つシフトレジスタにおけるシフト動作分の時間を短縮してテストを行うことができるので、IC出荷試験等の試験時間を短縮できると共に、ランダムサンプリングテスト等の種々のテストが可能な液晶表示装置の駆動回路を提供することができる。

【0080】また、本発明によれば、第5切り換え回路により、第5テストモード下ではラッチパルスの供給されたチャンネルのラッチ回路のみを有効とすることができ、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

(9)

15

【0081】また、本発明によれば、テスト用シフトレジスタにおいてスタートパルスでシフト動作し、第6切り換え回路により、第6テストモード下ではテスト用シフトレジスタ出力をセレクトに供給することとしたので、テストすべきチャンネルのセレクトのみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

【0082】また、本発明によれば、テスト用シフトレジスタにおいてスタートパルスでシフト動作し、第7切り換え回路により、第7テストモード下ではテスト用シフトレジスタ出力を出力部に供給することとしたので、テストすべきチャンネルの出力部のみが有効となり、ICテスト等を用いて試験を行う場合に、外部からの低電流容量の駆動電源にも対応し得る液晶表示装置の駆動回路を提供することができる。

【0083】また、本発明によれば、出力ショート回路により、第8テストモード下では、出力部出力の各チャンネル間に具備するスイッチング素子をオンさせて、出力部における全チャンネルを横断的にショートすることができるので、TCPの液晶表示パネルへの実装後の動作解析が容易な液晶表示装置の駆動回路を提供することができる。

【0084】更に、本発明によれば、テストモードデコーダ24により、テストモード信号に基づき第1、第2、第3、第4、第5、第6、第7、または第8テストモード信号を生成することとしたので、テストモード信号TMの指定によって種々の組合せのテストが可能な液晶表示装置の駆動回路を提供することができる。

【0085】加えて、本発明に係る液晶表示装置は、請求項1乃至9のいずれかに記載の駆動回路を含むので、実装後における各種試験を可能とする液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明の各実施例に係る液晶表示装置の駆動回路の構成図であり、デジタルデータドライバについての部分構成図である。

【図2】第1実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図2(a)は回路構成図、図2(b)はタイミングチャートである。

【図3】第2実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図3(a)は構成図、図3(b)はタイミングチャートである。

【図4】第3実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図4(a)は構成図、図4(b)はタイミングチャートである。

【図5】第4実施例に係る液晶表示装置の駆動回路にお

16

けるデータドライバの特徴的部分の構成図である。

【図6】第5実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図7】第6実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図7(a)は構成図、図7(b)はタイミングチャートである。

【図8】第7実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図9】第8実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の構成図である。

【図10】第9実施例に係る液晶表示装置の駆動回路におけるデータドライバの特徴的部分の説明図であり、図10(a)は構成図、図10(b)はタイミングチャートである。

【図11】従来の液晶表示装置の駆動回路の説明図であり、図11(a)は構成図、図11(b)はタイミングチャートである。

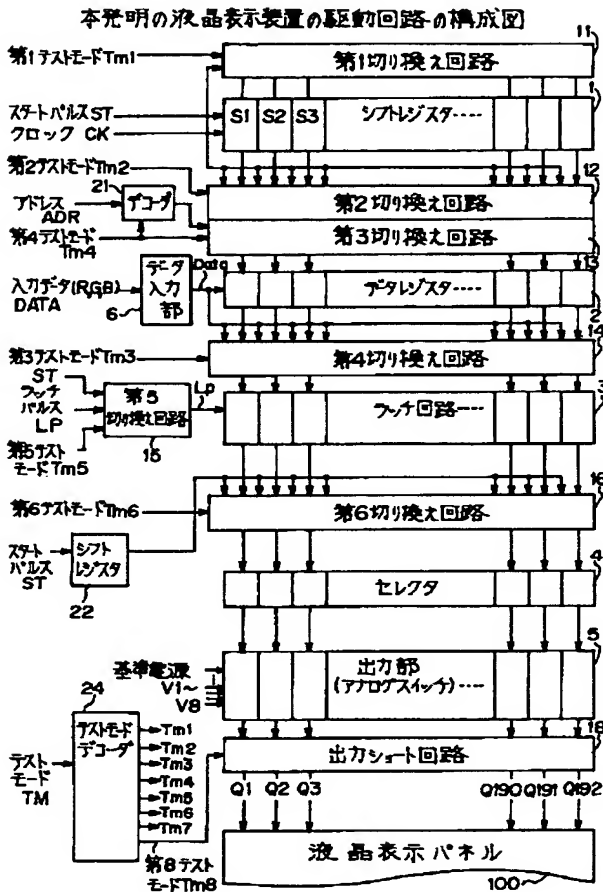
【符号の説明】

- 1…シフトレジスタ
- 2…データレジスタ
- 3…ラッチ回路
- 4…セレクト
- 5…出力部
- 6…データ入力部
- 11…第1切り換え回路
- 12…第2切り換え回路
- 13…第3切り換え回路
- 14…第4切り換え回路
- 15…第5切り換え回路
- 16…第6切り換え回路
- 17…第7切り換え回路
- 18…出力ショート回路
- 21…テスト用アドレスデコーダ
- 22…テスト用シフトレジスタ
- 24…テストモードデコーダ
- 100…液晶表示パネル
- TM…テストモード信号
- Tm1～Tm8…第1～第8テストモード信号
- ST…スタートパルス
- CK…クロック
- ADR…アドレス
- DATA…入力データ (R, G, B)
- Data…入力データ
- LP…ラッチパルス
- Lp…ラッチパルス
- V1～V8…基準電源
- SE2～SE32…セレクト
- S1～S32…シフトレジスタ
- SOUT1～SOUT64…シフトレジスタ出力

(10)

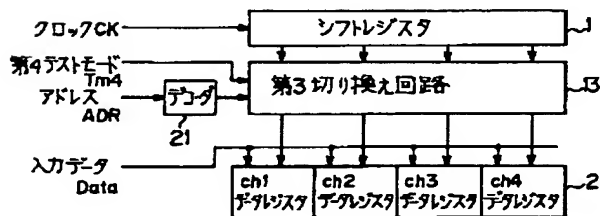
MP...TCP上モニターパッド
SW...アナログスイッチ (スイッチング素子)

【図1】



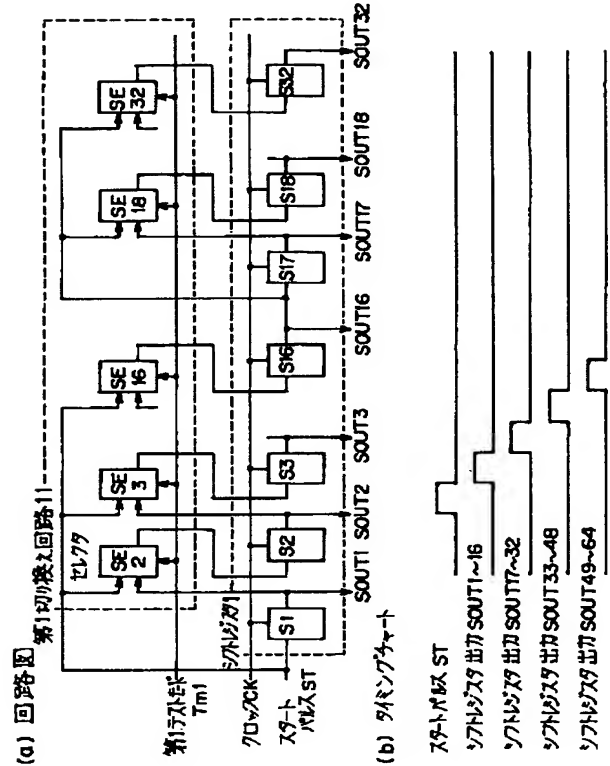
【図5】

第4実施例の駆動回路の構成図



【図2】

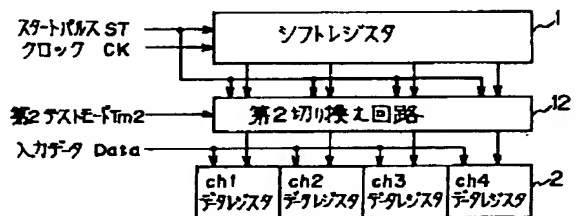
第1実施例の駆動回路の説明図



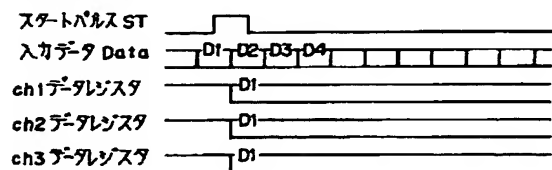
【図3】

第2実施例の駆動回路の説明図

(a) 回路図



(b) タイミングチャート

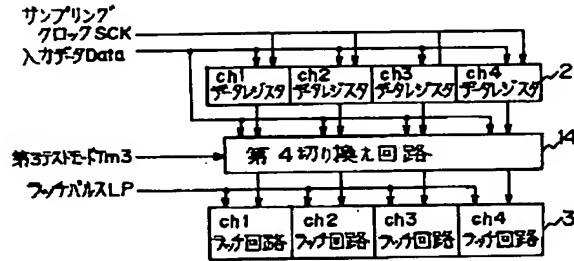


(11)

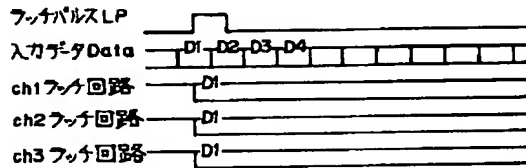
【図4】

第3実施例の駆動回路の説明図

(a) 構成図



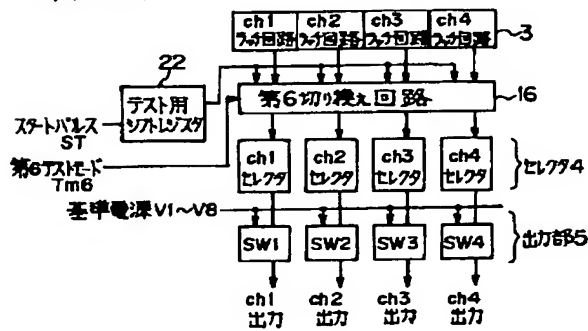
(b) タイミングチャート



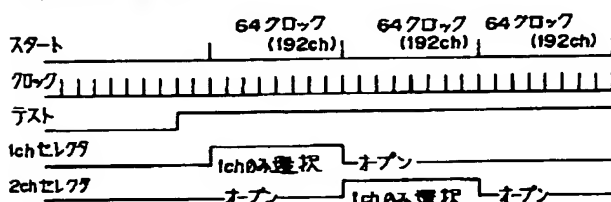
【図7】

第6実施例の駆動回路の説明図

(a) 構成図

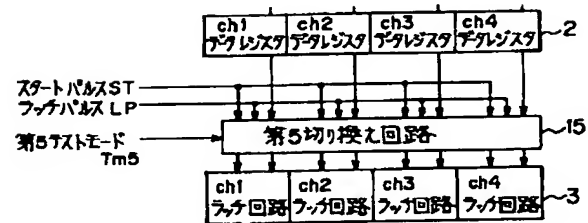


(b) タイミングチャート



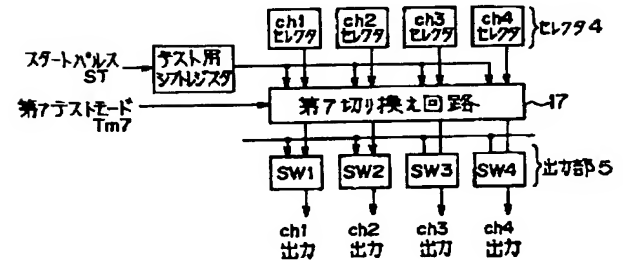
【図6】

第5実施例の駆動回路の構成図



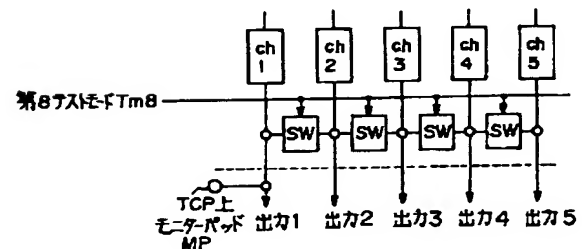
【図8】

第7実施例の駆動回路の構成図



【図9】

第8実施例の駆動回路の構成図

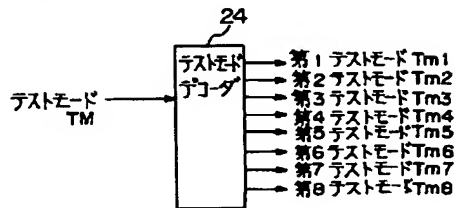


(12)

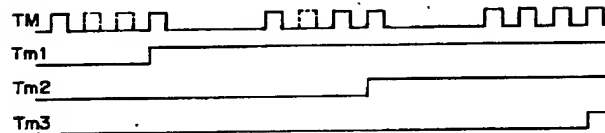
【図10】

第9実施例の駆動回路の説明図

(a) 構成図



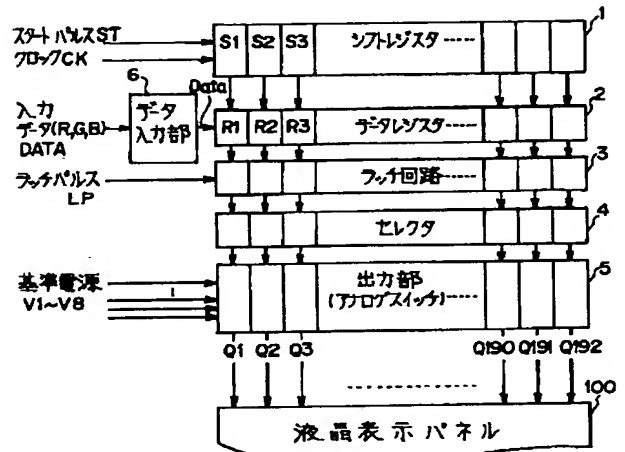
(b) タイミングチャート



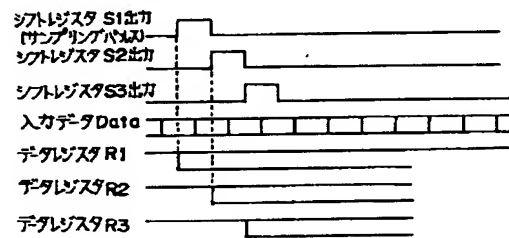
【図11】

従来の液晶表示装置の駆動回路の構成図

(a) 構成図



(b) タイミングチャート



フロントページの続き

(51) Int. Cl. 6

G 0 9 G 3/36

識別記号

庁内整理番号

F I

技術表示箇所